

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-201784

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H01L 21/301

H01L 21/306

(21)Application number : 06-000451

(71)Applicant : FUJITSU LTD

(22)Date of filing : 07.01.1994

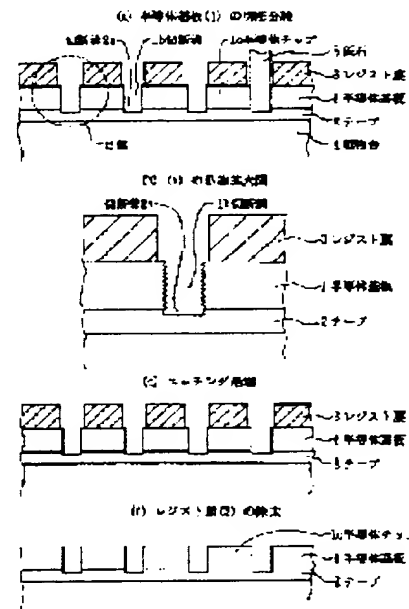
(72)Inventor : UCHIKOSHI HIDEO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

### (57)Abstract:

PURPOSE: To smooth edges of semiconductor chips cut from a semiconductor wafer so that dust or flakes of silicon may not appear.

CONSTITUTION: A method of manufacturing a semiconductor device comprises the steps of attaching a semiconductor wafer 1 face up to an adhesive tape 2, cutting the semiconductor wafer to form grooves 1b reaching the tape, and smoothing the side walls of the grooves in the wafer by etching.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

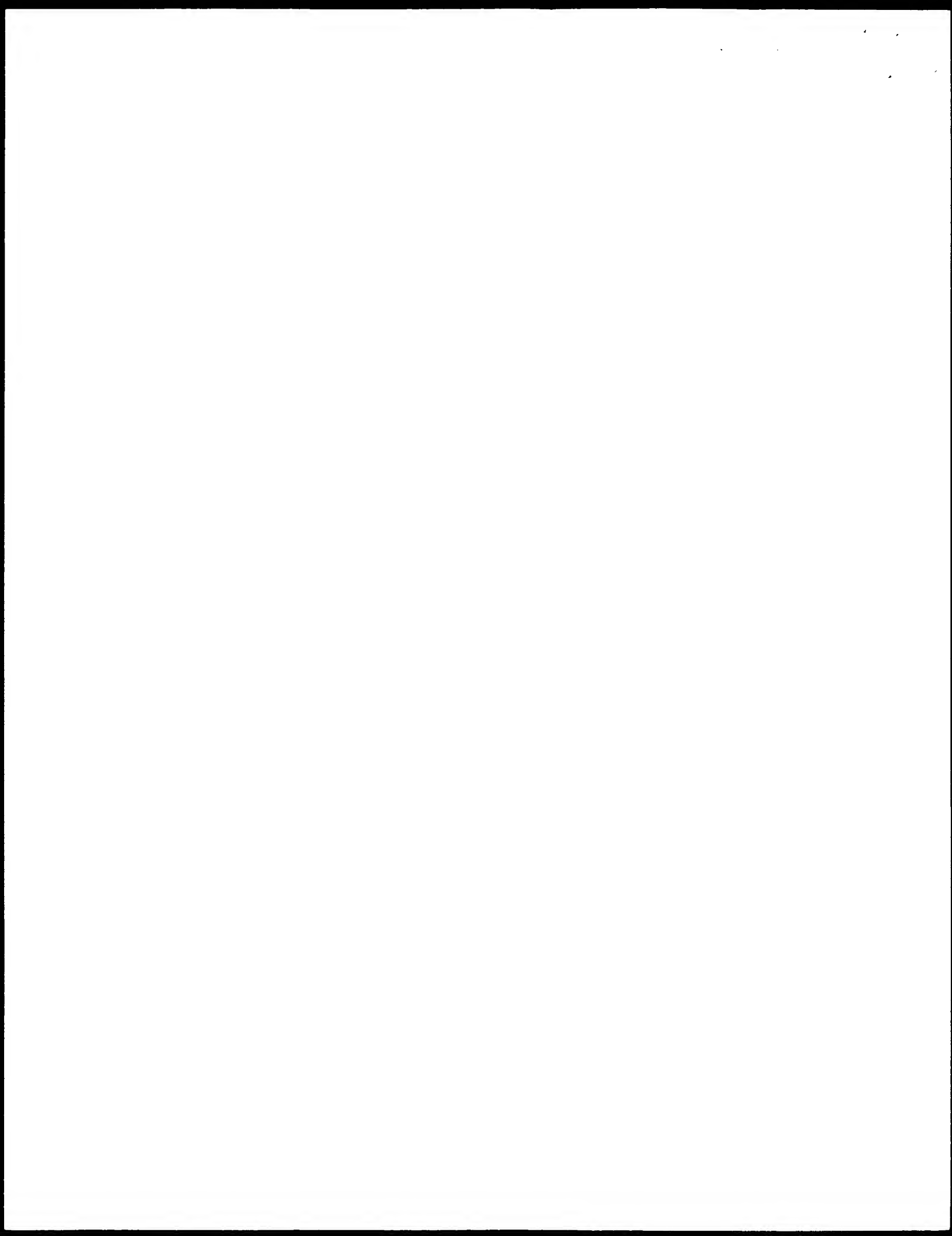
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07201784  
PUBLICATION DATE : 04-08-95

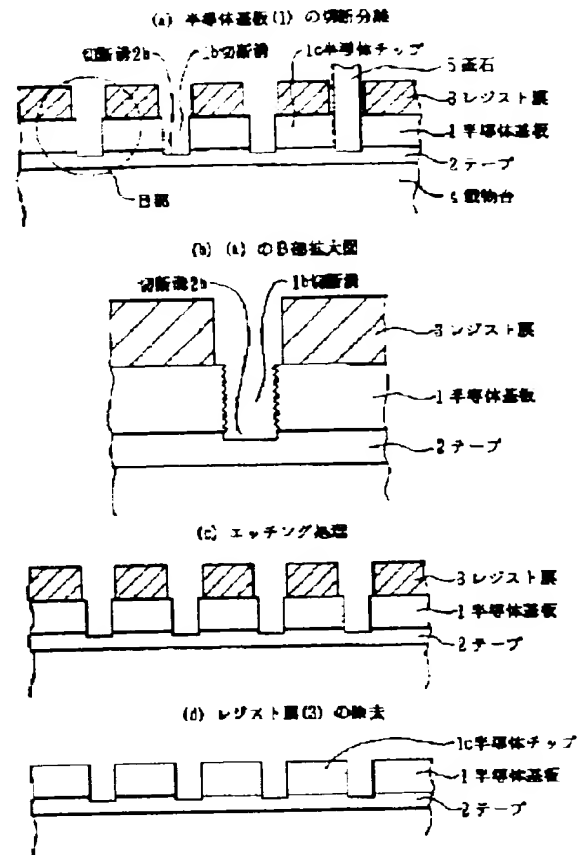
APPLICATION DATE : 07-01-94  
APPLICATION NUMBER : 06000451

APPLICANT : FUJITSU LTD;

INVENTOR : UCHIKOSHI HIDEO;

INT.CL. : H01L 21/301 H01L 21/306

TITLE : MANUFACTURE OF SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To smooth edges of semiconductor chips cut from a semiconductor wafer so that dust or flakes of silicon may not appear.

CONSTITUTION: A method of manufacturing a semiconductor device comprises the steps of attaching a semiconductor wafer 1 face up to an adhesive tape 2, cutting the semiconductor wafer to form grooves 1b reaching the tape, and smoothing the side walls of the grooves in the wafer by etching.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-201784

(13) 公開日 平成7年(1995)8月4日

(51) Int. Cl.

識別記号

庁内整理番号

F 1

技術表示箇所

H 0 1 L 21/301  
21/306

H 0 1 L 21/ 78  
21/ 306  
H 0 1 L 21/ 78

Q  
B  
L

審査請求 未請求 請求項の数 3 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-451

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(22) 出願日 平成6年(1994)1月7日

(72) 発明者 打越 英生

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

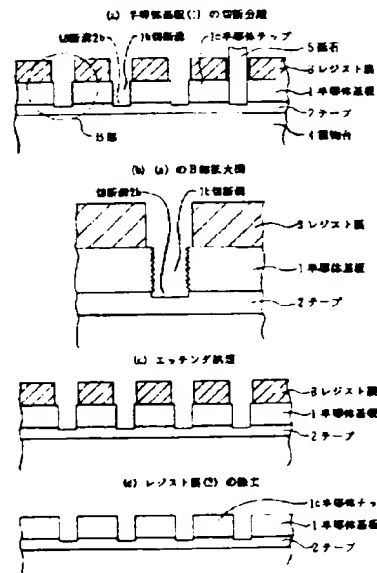
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体基板を切断した切断溝の側壁の表面状態の改良に関し、半導体チップの切断面に凹凸が形成されて荒れた状態になり、シリコン片が発生するのを防止することを目的とする。

【構成】 素子形成面を上にして半導体基板1をテープ2の粘着面の表面に貼付する工程と、この半導体基板1の全厚を切断して切断溝1bを形成する工程と、エッチング処理によりこの半導体基板1の切断溝1bの側壁を平滑にする工程とを含むように構成する。

本発明による一実施例の半導体装置の製造方法の工程順に示す図(2)



## 【特許請求の範囲】

【請求項1】 素子形成面(1a)を上にして半導体基板(1)をテープ(2)の粘着面(2a)の表面に貼付する工程と、前記半導体基板(1)の全厚を切断して切断溝(1b)を形成する工程と、エッチング処理により前記半導体基板(1)の切断溝(1b)の側壁を平滑にする工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記半導体基板(1)を切断するに先立って、該半導体基板(1)の切断予定領域を露出するレジスト膜(3)を形成し、該半導体基板(1)の切断後に該レジスト膜(3)をマスクとして前記エッチング処理を行うことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記半導体基板(1)の切断は、前記切断溝(1b)の幅と略同じ厚さの砥石(5)を用いて行われるものであり、前記レジスト膜(3)は、該切断溝(1b)の幅より広い幅を有する開口溝(3a)により前記半導体基板(1)の切断予定領域を露出するものであることを特徴とする請求項1記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体基板を切断して半導体チップに分割する方法に係り、特に半導体基板の切断溝の側壁の表面状態の改良に関するものである。

【0002】 半導体基板を切断して半導体チップに分割するには、砥石により半導体基板を切断して半導体チップにするダイサーを用いている。しかし、この切断方法では半導体基板がシリコンの場合には切断溝の側壁や半導体チップの表面上にシリコン片が付着して残留し、半導体基板の表面に形成したカパー膜を傷つけたり、シリコン片が導電部分の間に残留すると短絡が発生して半導体装置の品質を低下させている。

【0003】 以上のような状況から、半導体チップの切断面や半導体チップの表面上にシリコン片が付着して残留することにより発生する障害を除去することが可能な半導体装置の製造方法が要求されている。

## 【0004】

【従来の技術】 従来の半導体装置の製造方法について図3により詳細に説明する。図3は従来の半導体装置の製造方法を工程順に示す側面図である。

【0005】 従来の半導体装置の製造方法においては、まず図3(a)に示すように素子形成面1aを上にして半導体基板1をテープ2の粘着面2aの表面に貼付し、このテープ2をダイサーの載物台4の表面に載置する。

【0006】 つぎに図3(b)に示すようにダイサーの高速回転している砥石5を用いてこの半導体基板1の全厚を切断して切断溝1bを形成すると同時にこのテープ2の表面に切断溝2bを形成してこの半導体基板1を半導体チップ1cに分割する。

【0007】 このような高速回転する砥石5で半導体基板1を切断して半導体チップ1cに分割すると、この切断溝1bの側壁には図3(c)に示すような微小な凹凸が形成されるので、この切断溝1bの側壁に微小なシリコン片1dが付着することがあり、その後の組み立て工程においてこの切断溝1bの側壁からシリコン片1dが剥がれることがある。

## 【0008】

【発明が解決しようとする課題】 以上説明した従来の半導体装置の製造方法においては、半導体基板をテープに貼付し、ダイサーの砥石を用いて半導体基板を切断して半導体チップに分割しているから、半導体チップの切断溝の側面に凹凸が形成されて荒れた状態になってこの切断溝の側壁に微小なシリコン片が付着している。

【0009】 このため切断して分割した半導体チップを用いて半導体装置を組み立てると、この組み立て工程中に切断溝の側面から剥がれたシリコン片が半導体チップの表面を傷つけたり、図4に示すような微細ピッチで半導体チップに形成したリード6の間にシリコン片1dが付着すると短絡障害が発生するという問題点があった。

【0010】 本発明は以上のような状況から、半導体チップの切断面に凹凸が形成されて荒れた状態になり、シリコン片が発生するのを防止することが可能となる半導体装置の製造方法の提供を目的としたものである。

## 【0011】

【課題を解決するための手段】 本発明の半導体装置の製造方法は、素子形成面を上にして半導体基板をテープの粘着面の表面に貼付する工程と、この半導体基板の全厚を切断して切断溝を形成する工程と、エッチング処理によりこの半導体基板の切断溝の側壁を平滑にする工程とを含むように構成する。

## 【0012】

【作用】 即ち本発明においては、素子形成面を上にして半導体基板をテープの粘着面の表面に貼付し、この半導体基板の素子形成面にレジスト膜を形成した後、この半導体基板に形成しようとする切断溝に対応する位置のレジスト膜を除去し、形成しようとする切断溝の幅よりも幅の広い開口溝を形成し、形成しようとする切断溝の幅と略同じ厚さの砥石を用いてこの半導体基板の全厚を切断して切断溝を形成するので、半導体基板の素子形成面を保護して半導体基板を切断することができ、その後エッチング処理を行うので、この半導体基板の切断溝の側壁を平滑にすることが可能となる。

## 【0013】

【実施例】 以下図1～図2により本発明の一実施例について詳細に説明する。図1～図2は本発明による一実施例の半導体装置の製造方法を工程順に示す図である。

【0014】 本発明による一実施例の半導体装置の製造方法においては、まず図1(a)に示すように素子形成面1aを上にして半導体基板1をテープ2の粘着面2aの表面

3

に貼付し、この半導体基板1の素子形成面1aにレジスト膜3を形成した後、図1(b)及び(c)に示すようにこの半導体基板1に形成しようとする切断溝に対応する位置のレジスト膜3を除去して形成しようとする切断溝の幅よりも幅の広い開口溝3aを形成し、このテープ2をダイサの載物台4の表面に載置する。

【0015】つぎに図2(a)に示すように、形成しようとする切断溝の幅と同じ厚さのダイサの高速回転している砥石5を用いてこの半導体基板1の全厚を切断して切断溝1bを形成すると同時にこのテープ2の表面に切断溝2bを形成してこの半導体基板1を半導体チップ1cに分割する。

【0016】このような高速回転する砥石5で半導体基板1を切断して半導体チップ1cに分割すると、この切断溝1bの側壁には図2(b)に示すような微小な凹凹が形成されるので、図2(c)に示すように弗酸を用いるウェットエッチング処理によりこの半導体基板1の切断溝1bの側壁を平滑にする。

【0017】最後に図2(d)に示すようにレジスト膜3を除去し、テープ2から半導体チップ1cを剥離してチップトレイに収納する。このように半導体基板1の表面にレジスト膜3を形成した後、半導体基板1の切断溝1bを形成しようとする部分にレジスト膜3の開口溝3aを形成して半導体基板1を切断して半導体チップ1cに分離するので、半導体基板1の素子形成面1aを保護した状態で半導体基板1を切断することができ、半導体基板1を切断した後にエッチング処理を行うので、半導体基板1の切断溝1bの側壁を平滑にすることが可能となる。

【0018】

4

【発明の効果】以上の説明から明らかなように、本発明によれば極めて簡単な工程の改良により、半導体チップの側壁にシリコン片が付着して残存するのを防止することが可能となる利点があり、著しい品質向上の効果が期待できる半導体装置の製造方法の提供が可能である。

【図面の簡単な説明】

【図1】 本発明による一実施例の半導体装置の製造方法を工程順に示す図(1)

【図2】 本発明による一実施例の半導体装置の製造方法を工程順に示す図(2)

【図3】 従来の半導体装置の製造方法を工程順に示す側断面図

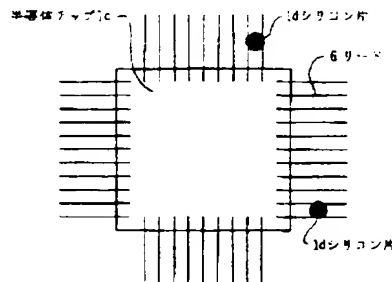
【図4】 従来の半導体装置の製造方法の問題点を示す図

【符号の説明】

- 1 半導体基板
- 1a 素子形成面
- 1b 切断溝
- 1c 半導体チップ
- 1d シリコン片
- 2 テープ
- 2a 粘着面
- 2b 切断溝
- 3 レジスト膜
- 3a 開口溝
- 4 載物台
- 5 砥石
- 6 リード

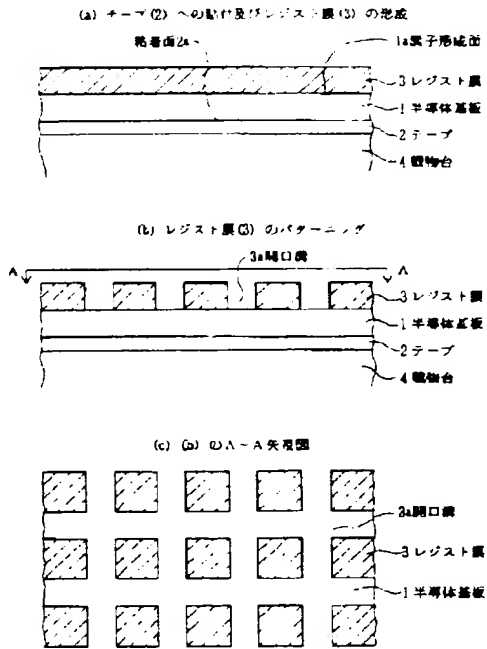
【図4】

従来の半導体装置の製造方法の問題点を示す図



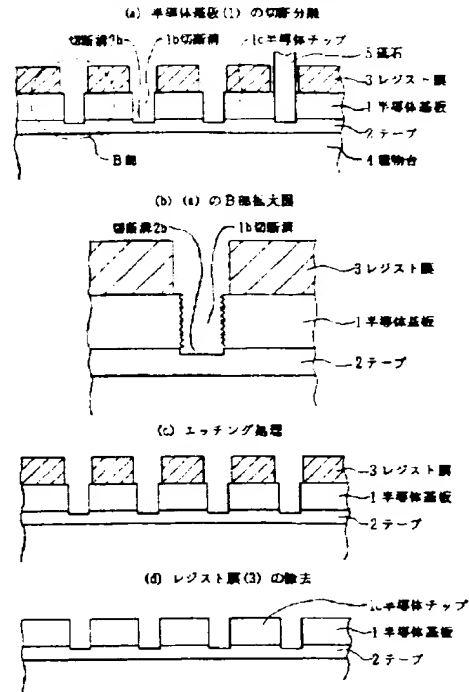
【図1】

本発明による一実施例の半導体装置の製造方法を工程順に示す図(1)



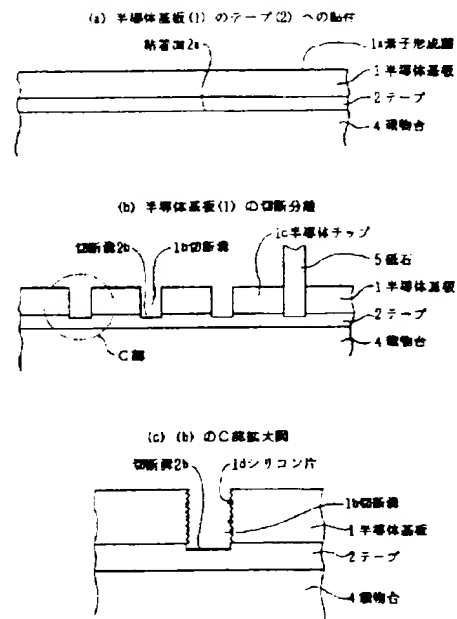
【図2】

本発明による一実施例の半導体装置の製造方法を工程順に示す図(2)



【図3】

従来の半導体装置の製造方法を上段順に示す断面図



フロントページの続き

(51)Int. Cl.

識別記号

片内整理番号

F I

技術表示箇所

S

